



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 34 852 A 1**

⑤① Int. Cl. 7:
G 11 C 29/00

⑦① Aktenzeichen: 100 34 852.1
⑦② Anmeldetag: 18. 7. 2000
⑦③ Offenlegungstag: 7. 2. 2002

DE 100 34 852 A 1

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦④ Vertreter:
Müller - Höffmann & Partner Patentanwälte, 81667
München

⑦② Erfinder:
Ernst, Wolfgang, 81541 München, DE; Krause,
Gunnar, 81541 München, DE; Kuhn, Justus, 81373
München, DE; Lüpke, Jens, 81829 München, DE;
Müller, Jochen, 81825 München, DE; Pöschmüller,
Peter, 81739 München, DE; Schittenhelm, Michael,
85586 Poing, DE

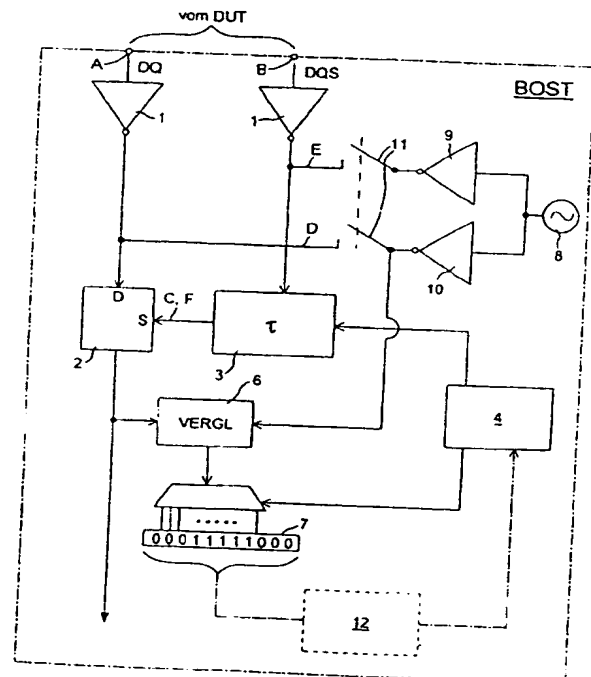
⑤⑥ Entgegenhaltungen:
DE 198 55 488 A1
US 48 49 973

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren und Vorrichtung zum Einlesen und zur Überprüfung der zeitlichen Lage von aus einem zu testenden Speicherbaustein ausgelesenen Datenantwortsignalen

⑤⑦ Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Einlesen und zur Überprüfung der zeitlichen Lage einer beim Test aus einem zu testenden Speicherbaustein, insbesondere einem im DDR-Betrieb arbeitenden DRAM-Speicher (DUT) ausgelesenen Datenantwort (DQ) in einem Testempfänger (BOST), bei dem die Datenantwort (DQ) vom zu testenden Speicherbaustein (DUT) mit dem verzögerten Datenstrobe-Antwortsignal (DQS) in ein Datenlatch (2) eingelatcht wird. Mittels eines als Kalibriersignal (8) erzeugten symmetrischen Taktsignals wird eine Kalibrierung der zeitlichen Lage des zum Einlatchen verzögerten Datenstrobe-Antwortsignals (DQS) gegenüber der Datenantwort (DQ) durchgeführt. Die beim Kalibriervorgang in eine Verzögerungseinrichtung (3) einprogrammierte Verzögerungszeit (τ) liefert auch ein Maß zum Abtesten genauer Zeitverhältnisse zwischen dem Datenstrobe-Antwortsignal (DQS) und der Datenantwort (DQ).



DE 100 34 852 A 1

[0001] Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Einlesen einer beim Test aus einem zu testenden Speicherbaustein, insbesondere aus einem DRAM-Speicher im DDR-Betrieb ausgelesenen Datenantwort in einem Testempfänger.

[0002] Heutige dynamische Halbleiterspeicher mit wahlfreiem Zugriff (DRAM-Speicher) werden nach ihrer Herstellung mit Hilfe kostspieliger Produktionstestsysteme getestet. Diese erlauben es, Signale mit genau definierten Spannungspegeln zu exakt definierten Zeitpunkten an den zu testenden DRAM-Speicher (DUT = Device Under Test) anzulegen. Zur Überprüfung der Lesefunktion des zu testenden DRAM-Speichers werden von diesem ausgelesene Signale zu genau definierten Zeitpunkten in das Testsystem eingelesen und mit erwarteten Signalwerten verglichen.

[0003] Aufgrund der hohen Arbeitsfrequenzen heutiger Speicherbausteine (bis zu 400 MHz Taktfrequenz, z. B. bei Rambus-DRAMs) erfordert die Spezifikation der Lese- und Schreibsignale solcher Speicherbausteine eine sehr hohe Genauigkeit, zum Beispiel sind bei Double Data Rate oder DDR-DRAM-Speichern (heute sind bereits Signalspezifikationen in der Größenordnung von 500 ps üblich). Aus diesem Grunde müssen die dafür geeigneten Produktionstestsysteme höchsten technischen Anforderungen genügen, was zu entsprechend hohen Kosten führt. Aus diesem Grund betragen die Testkosten von höchstfrequenten Speicherbausteinen bereits bis zu 30% ihrer Gesamtherstellungskosten.

[0004] Besonders kritisch gestaltet sich heute die Messung des sogenannten Datenstrobe-Antwortsignals DQS beim Lesevorgang von einem im DDR-Betrieb arbeitenden DRAM-Speicher. Bei im DDR-Betrieb arbeitenden DRAM- und anderen Speichern wird ein sogenanntes Datenstrobe-Antwortsignal oder DQS gesendet, aufgrund dessen das Einlesen der DQ-Information durch einen Controller, der in diesem Fall das Testsystem ist, bei höchsten Frequenzen erfolgt. Bei diesem Datenstrobe-Antwort- oder DQS-Signal handelt es sich um ein alternierendes Signal, das der Empfänger, in diesem Fall der Testempfänger dazu benutzt, um mit jeder steigenden und fallenden Flanke des DQS-Signals die Datenantwort, d. h. das DQ-Signal, einzulesen.

[0005] Nach dem oben Gesagten, sollte beim Test das Datenstrobe-Antwortsignal DQS wie beim echten Betrieb mit einem Controller durch das Testsystem dazu verwendet werden, die Datenantwortsignale direkt in Abhängigkeit von dem Datenstrobe-Antwortsignal einzulesen. Allerdings weisen heutige Produktionstestsysteme diese Funktion nicht auf. Dagegen wird bei heutigen, in der Produktion eingesetzten, Speichertestsystemen das Datenstrobe-Antwortsignal wie jedes Datenantwortsignal oder DQ-Signal betrachtet und im Testsystem relativ zu einer internen Zeitreferenz verglichen. Dadurch ist ein direkter Vergleich des Datenstrobe-Antwortsignals DQS mit den Datenantwortsignalen DQ nicht möglich. Statt dessen wird bei heutigen Testsystemen das Datenstrobe-Antwortsignal DQS gegenüber einer internen Zeitreferenz verglichen und danach die Datenantwortsignale DQ. Schließlich kann aus der gemessenen Differenz auf die Abweichung des Datenstrobe-Antwortsignals DQS gegenüber den Datenantwortsignalen DQ geschlossen werden.

[0006] Ein Hauptnachteil dieser Vorgehensweise liegt in der erhöhten Testzeit, da ja sequentiell vorgegangen wird, und in einer größeren Ungenauigkeit des Meßergebnisses.

[0007] Es ist Aufgabe der Erfindung, ein Verfahren und eine Vorrichtung zum Einlesen und zur Überprüfung der zeitlichen Lage einer beim Test aus einem zu testenden Speicherbaustein, insbesondere aus einem im DDR-Betrieb

arbeitenden DRAM-Speicher ausgelesenen Datenantwort in einen Testempfänger so zu ermöglichen, daß die Testzeit verkürzt und die Meßgenauigkeit erhöht werden kann.

[0008] Zur Lösung dieser Aufgabe schlägt das erfindungsgemäße Verfahren vor, die Datenantwort im Testempfänger mit einem Strobesignal einzulesen, das intern im Testempfänger aus dem vom zu testenden Speicherbaustein erzeugten und vom Testempfänger empfangenen Datenstrobe-Antwortsignal direkt erzeugt wird. Dabei wird das Strobesignal durch eine Zeitverzögerung des empfangenen Datenstrobe-Antwortsignals erzeugt, welche Sollwerten der zeitlichen Lage der vom zu testenden Speicherbaustein ausgelesenen Datenantwort bezogen auf das vom selben Speicherbaustein erzeugte Datenstrobe-Antwortsignal entspricht.

[0009] Bevorzugt ist eine programmierbar einstellbare Verzögerungszeit einer Verzögerungseinrichtung im Testempfänger vorgesehen. Dabei wird zur Ermittlung der in die Verzögerungseinrichtung einzuprogrammierenden Verzögerungszeit im Testempfänger jeweils ein Kalibriersignal für die Datenantwort und das Datenstrobe-Antwortsignal erzeugt und mit diesen Kalibriersignalen die entsprechenden Testsignaleingänge des Testempfängers beaufschlagt.

[0010] Alternativ können die Kalibriersignale oder das Kalibriersignal auch extern erzeugt und dem Testempfänger zugeführt werden.

[0011] Dabei sind die Kalibriersignale für die Datenantwort und das Datenstrobe-Antwortsignal ein einziges Taktsignal, dessen Frequenz bevorzugt mit der Frequenz des vom zu testenden Speicherbaustein erzeugten Datenstrobe-Antwortsignals übereinstimmt.

[0012] In weiteren parallelen Patentanmeldungen schlagen die Erfinder vor, Testfunktionen für zu testende Speicherbausteine, an die hohe zeitliche Anforderungen gestellt werden, in einer von einem üblichen Halbleiterspeichertestsystem separaten Halbleiterschaltung in Form einer möglichst einfachen ASIC-Schaltung zu realisieren, die aufgrund verhältnismäßig geringer Herstellungskosten und kleinen Abmessungen in unmittelbarer Nähe des zu testenden Halbleiterspeicherbausteins vorgesehen ist. Hierdurch kann die Genauigkeit und die Frequenz des Tests erhöht werden, da durch die kurzen Leitungen Signallaufzeiten bzw. Laufzeitunterschiede zwischen verschiedenen Signalen reduziert werden können. Diese Lösung eines vom üblichen Halbleiterspeichertestsystem abgesetzten separaten BOST-Bausteins (BOST = Build Outside Self Test) ermöglicht für den hier beschriebenen Fall die Einhaltung der für einen genauen Test der zeitlichen Beziehungen zwischen den DQ-Signalen und dem Datenstrobe-Antwortsignal DQS vom zu testenden Speicherbaustein einzuhaltende Randbedingung einer konstanten und kurzen Laufzeit zwischen dem zu testenden Speicherbaustein und dem Testsystem, in diesem Fall dem BOST-Baustein.

[0013] Darüber hinaus schlägt das erfindungsgemäße Verfahren in dem BOST-Schaltkreis eine programmierbare Kalibrierung des Datenstrobe-Antwortsignals DQS vor, welche einen zeitlich hochgenauen und kostengünstigen Test unterstützt.

[0014] Dies gilt insbesondere für mit hohen Frequenzen arbeitende DRAM-Speicherbausteine, die im DDR-Betrieb (Double Data Rate) getestet werden. Durch den direkten Vergleich der Datenantwort mit der vom Datenstrobe-Antwortsignal DQS gebildeten Zeitreferenz im Testempfänger, d. h. im BOST-Baustein, wird deshalb ein applikationsnaher Mechanismus zum Einlesen der DQ-Daten bereitgestellt.

[0015] Nachstehend folgt eine Beschreibung der Struktur und der Funktionalität des erfindungsgemäßen Verfahrens anhand eines eine BOST-Lösung bildenden, in der Zeichnung dargestellten, Ausführungsbeispiels.

[0016] Die Zeichnungsfiguren zeigen:

[0017] Fig. 1 ein Blockschaltbild eines durch eine BOST-Lösung realisierten Ausführungsbeispiels einer erfindungsgemäßen Vorrichtung mit Mitteln zum Kalibrieren des DQS-Signals und

[0018] Fig. 2 Signalzeitdiagramme von Signalen A-F an einzelnen Signalleitungen der in Fig. 1 dargestellten Schaltung.

[0019] In der bevorzugt vorgeschlagenen BOST-Lösung der erfindungsgemäßen Vorrichtung zum Einlesen und zur Überprüfung der zeitlichen Lage einer beim Test aus einem zu testenden Speicherbaustein DUT insbesondere einem DRAM-Speicher im DDR-Betrieb ausgelesenen Datenantwort wird diese Datenantwort DQ, die am Eingangsanschluß A empfangen wird, mit einem Strobosignal DQS_{DEL} (C in Fig. 2) eingelesen, d. h. zwischengespeichert, das durch Zeitverzögerung des vom zu testenden Speicherbaustein DUT erzeugten und am Eingangsanschluß B empfangenen Datenstrobe-Antwortsignal DQS erzeugt wird.

[0020] Es ist zu bemerken, daß zur Vereinfachung der Beschreibung in der Fig. 1 nur ein einziges DQ-Signal am Anschluß A dargestellt ist.

[0021] Das am Anschluß A vom DUT ankommende Datenantwortsignal DQ gelangt über einen Bufferschaltkreis, zum Beispiel einen Tristatebuffer 1 zu einem Dateneingang D eines Datenlatches 2. Das am Dateneingang D anliegende Signal DQ (A in Fig. 2) wird in das Datenlatch 2 mit einem an seinem Setzeingang S anliegenden Signal C eingelatcht, welches aus dem Datenstrobe-Antwortsignal DQS (Signal am Eingang B) durch Verzögerung um eine bestimmte Verzögerungszeit τ in einer Verzögerungseinrichtung 3 erzeugt wird.

[0022] Hier ist zu bemerken, daß die Spezifikation für im Data-Double-Rate- oder DDR-Betrieb arbeitenden DRAM-Speicher eine sehr genaue Zeitbeziehung zwischen dem Datenantwortsignal DQ und dem Datenstrobe-Antwortsignal DQS vorsieht. Für solche im DDR-Betrieb arbeitende DRAM-Speicher ist beispielsweise festgelegt, daß DQ und DQS maximal um ± 500 ps voneinander abweichen dürfen, um ein sicheres Lesen beim Empfänger, zum Beispiel einem Controller, zu gewährleisten.

[0023] Unter Berücksichtigung dieser hochgenauen Spezifikation muß das das erfindungsgemäße Verfahren und die erfindungsgemäße Vorrichtung benutzende Testsystem, bei dem der BOST-Baustein ganz in der Nähe des zu testenden Speicherbausteins angeordnet ist, die Randbedingung erfüllen, daß die Laufzeit der Datenantwort DQ und des Datenstrobe-Antwortsignals DQS über die Schnittstellen und die Leitungen für ein und denselben BOST-Baustein bzw. für ein und dasselbe Testsystem immer konstant ist.

[0024] Unter Einhaltung dieser Randbedingung schafft die in die Verzögerungseinrichtung 3 gezielt einprogrammierte Verzögerungszeit τ eine Sollbedingung zur Überprüfung der zeitlichen Lage zwischen der vom DUT einzulesenden Datenantwort DQ und dem Datenstrobe-Antwortsignal DQS. Ein Mißerfolg beim Einlesen der Datenantwort DQ in das Latch 2 ist nämlich, wenn eine optimale oder Sollzeitverzögerung τ in der Verzögerungseinrichtung 3 eingestellt wurde ein Kriterium dafür, daß die zeitliche Beziehung zwischen der vom DUT empfangenen Datenantwort DQ und dem Datenstrobe-Antwortsignal DQS beim Test nicht korrekt ist.

[0025] Nun folgt eine Beschreibung der Funktion der in der Schaltung gemäß Fig. 1 realisierten Kalibriereinrichtung. Um ein möglichst präzises, temperaturunabhängiges Einlesen der Datenantwort DQ in das Latch 2 zu ermöglichen, wird die Verzögerungszeit τ , mit der das Datenstrobe-Antwortsignal DQS in der Verzögerungseinrichtung 3 ver-

zögert wird, wie folgt kalibriert. Die Schaltungsanordnung weist einen Kalibriersignalgenerator 8 und Treiber 9 und 10 sowie eine Schalteranordnung 11 auf, mit der in einem Kalibrierzyklus bevorzugt ein symmetrisches Taktsignal erzeugt und zugeführt wird, welches ausgangsseitig der Pufferverstärker 9 und 10 in die identischen Kalibriersignale DQ_{KAL} (Fig. 2: D) und DQS_{KAL} (Fig. 2: E) verzweigt wird. Die Verzögerungseinrichtung 3 ist über einen Zähler 4 programmierbar. Ein Vergleichsregister 6 vergleicht, ob das Datenlatch 2 das Kalibriersignal DQ_{KAL} (D) mit dem um die Verzögerungszeit τ in der Verzögerungseinrichtung 3 verzögerten Kalibriersignal DQS_{KAL,DEL} (Fig. 2: F) korrekt eingelesen hat oder nicht. Das Ergebnis des Vergleichers 6 wird in ein Register 7 eingespeichert. Zur Kalibrierung der Verzögerungszeit τ wird der Zähler 4 linear hochgezählt und das Vergleichsergebnis schrittweise im Register 7 abgespeichert.

[0026] Die in Fig. 1 angedeuteten Registerinhalte zeigen beispielhaft, daß eine "0" im Register 7 abgelegt wird, wenn das Vergleichsergebnis des Vergleichers 6 negativ ist und daß eine "1" abgelegt wird, wenn das Vergleichsergebnis des Vergleichers 6 positiv ist. Im veranschaulichend dargestellten Beispiel werden die Daten für die Zählerpositionen 3 bis 7 korrekt eingelesen. Dieses Ergebnis des Kalibriervorgangs bedeutet, daß in diesem Bereich vom Zählerstand 3 bis 7 das Datenaugensatz ausreichend gut getroffen wird, d. h. daß die Flanke des um die Verzögerungszeit τ in der Verzögerungseinrichtung 3 verzögerten Kalibriersignals DQS_{KAL,DEL} (F) den jeweiligen logischen Wert des Kalibriersignals DQ_{KAL} (D) für die Datenantwort richtig in das Latch 2 eingelatcht hat.

[0027] Fig. 1 enthält gestrichelt eingezeichnet eine Auswerteeinrichtung 12, die das im Register 7 stehende Kalibrierergebnis auswertet und entsprechend dem Auswertergebnis den Zähler 4 auf einen mittigen Wert, in diesem Beispiel auf den Zählerstand "5" für den dem Kalibriervorgang folgenden echten Testbetrieb einstellt.

[0028] Wenn die Frequenz des Kalibriersignals 8 bekannt ist und wenn die oben angeführte Randbedingung eingehalten ist, kann das Verfahren und die Vorrichtung auch zum Testen der zeitlichen Verhältnisse zwischen dem echten Datenstrobe-Antwortsignal DQS und der Datenantwort DQ verwendet werden. Nehmen wir zum Beispiel an, daß das Kalibriersignal in Fig. 1 500 MHz beträgt. 500 MHz entsprechen einer Zykluszeit von 2 ns, d. h. daß das Kalibriersignal 1 ns hohen Pegel und 1 ns tiefen Pegel hat. Da im Kalibrierzyklus im Register 7 das Kalibriersignal DQ_{KAL} für die Datenantwort über fünf Zählerpositionen korrekt eingelesen wurde, entspricht eine Zählerposition einer Verzögerung von 200 ps. Somit läßt sich der Inhalt des Registers 7 auf die zeitliche Beziehung zwischen der Datenantwort DQ und dem Datenstrobe-Antwortsignal DQS auswerten.

[0029] Es ist zu erwähnen, daß die in Fig. 1 dargestellte Schaltungsanordnung der Vorrichtung zum Einlesen und zur Überprüfung der zeitlichen Lage einer beim Test aus einem zu testenden Speicherbaustein, insbesondere einem DRAM im DDR-Betrieb, ausgelesenen Datenantwort mit Hilfe des um eine bestimmte Verzögerungszeit verzögerten echten Datenantwortsignals lediglich eine beispielhafte Prinzipausführung darstellt. Zahlreiche schaltungstechnische Realisierungen dieses Prinzips sind möglich, zum Beispiel könnten in einer konkreten Realisierung die Pufferverstärker 1, das Datenlatch 2 und die Verzögerungseinrichtung 3 in einer einzigen Schaltungseinheit realisiert werden. Zum Einlatchen der Datenantwort DQ können auch zwei Datenlatches 2 vorgesehen sein, so daß jeweils mit der steigenden und fallenden Flanke des am Setzeingang der Datenlatches 2 anliegenden verzögerten Datenstrobe-Antwortsignals

DQS eingelatcht wird.

Bezugszeichenliste

1	Bufferverstärker	
2	Datenlatch	
3	Verzögerungseinrichtung	
4	Zähler	
6	Vergleicher	
7	Register	
8	Kalibriersignalgenerator	
9, 10	Bufferverstärker	
11	Schalteinrichtung	
12	Auswerteeinrichtung	
BOST	Build Outside Self Test	
DQ(A)	Datenantwort	
DQS(B)	Datenstrobe-Antwortsignal	
DUT	Device Under Test	
DQ _{KAL} (D)	Kalibriersignal für DQ	
DQS _{KAL} (E)	Kalibriersignal für DQS	
DQS _{DEL} (C)	verzögertes DQS-Signal	
DQS _{KAL,DEL} (F)	verzögertes DQS _{KAL}	

Patentansprüche

1. Verfahren zum Einlesen und zur Überprüfung der zeitlichen Lage einer beim Test aus einem zu testenden schnellen Speicherbaustein, insbesondere DRAM-Speicher im DDR-Betrieb ausgelesenen Datenantwort (DQ) in einem Testempfänger (BOST), **dadurch gekennzeichnet**, daß die Datenantwort (DQ) mit einem Strobesignal (DQS_{DEL}) eingelesen wird, das aus einem vom zu testenden Speicherbaustein (DUT) erzeugten und vom Testempfänger empfangenen Datenstrobe-Antwortsignal (DQS) im Testempfänger (BOST) erzeugt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Strobesignal (DQS_{DEL}) durch Zeitverzögerung um eine bestimmte Verzögerungszeit (τ) des im Testempfänger (BOST) empfangenen Datenstrobe-Antwortsignals (DQS) erzeugt wird, wobei die Verzögerungszeit (τ) entsprechend Sollwerten der zeitlichen Lage der vom zu testenden Speicherbaustein (DUT) ausgelesenen Datenantwort (DQ) und des Datenstrobe-Antwortsignals (DQS) ermittelt und eingestellt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die eingestellte Verzögerungszeit (τ) in eine programmierbare Verzögerungseinrichtung (3) des Testempfängers (BOST) einprogrammiert wird.
4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß zur Ermittlung der Verzögerungszeit (τ) (BOST) ein Kalibriersignal (DQ_{KAL}, DQS_{KAL}) für die Datenantwort (DQ) und das Datenstrobe-Antwortsignal (DQS) im Testempfänger erzeugt und den Testsignaleingängen (A, B) für die Datenantwort (DQ) und das Datenstrobe-Antwortsignal (DQS) zugeführt wird.
5. Verfahren nach einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, daß zur Ermittlung der in die Verzögerungseinrichtung (3) einzuprogrammierenden Verzögerungszeit (τ) die Testsignaleingänge (A, B) des Testempfängers (BOST) für die Datenantwort (DQ) und das Datenstrobe-Antwortsignal (DQS) mit einem extern erzeugten Kalibriersignal (DQ_{KAL}, DQS_{KAL}) beaufschlagt werden.
6. Verfahren nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß die Kalibriersignale (DQ_{KAL}, DQS_{KAL}) für die Datenantwort (DQ) und das Datenstrobe-Antwortsignal (DQS) identische Taktsignale sind.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Kalibriersignale (DQ_{KAL}, DQS_{KAL}) als ein symmetrisches Taktsignal mit einer mit der Frequenz der Datenantwort (DQ) und des Datenstrobe-Antwortsignals (DQS) vom zu testenden Speicherbaustein (DUT) übereinstimmenden Frequenz erzeugt werden.
8. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die vom zu testenden Speicherbaustein einzulesende Datenantwort (DQ) eine Datenantwortsignalgruppe ist, deren Einzelsignale jeweils gleiche zeitliche Sollbeziehung zum vom zu testenden Speicherbaustein erzeugten Datenstrobe-Antwortsignal (DQS) aufweisen.
9. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die ermittelte und in die Verzögerungseinrichtung (3) einzuprogrammierende Verzögerungszeit (τ) als Test-Vergleichswert für die zeitliche Beziehung zwischen der Datenantwort (DQ) und dem Datenstrobe-Antwortsignal (DQS) gespeichert und zum Test dieser zeitlichen Beziehung verwendet wird.
10. Vorrichtung zum Einlesen und zur Überprüfung der zeitlichen Lage einer beim Test aus einem zu testenden Speicherbaustein (DUT), insbesondere aus einem DRAM-Speicher im DDR-Betrieb ausgelesenen Datenantwort (DQ) in einem Testempfänger (BOST), insbesondere zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß der Testempfänger (BOST) aufweist:
 - mindestens eine mit einem Testsignaleingang (A) des Testempfängers (BOST) verbundene Latcheschaltung (2) zum Speichern der vom zu testenden Speicherbaustein empfangenen Datenantwort (DQ);
 - eine in ihrer Verzögerungszeit (τ) programmierbare Verzögerungseinrichtung (3), die in einem Testzyklus das vom zu testenden Speicherbaustein empfangene Datenstrobe-Antwortsignal (DQS) verzögert und als internes verzögertes Strobesignal (DQS_{DEL}) einem Setzeingang der Latcheschaltung (2) zum Einspeichern der anliegenden Datenantwort (DQ) zuführt.
11. Vorrichtung nach Anspruch 10, dadurch gekennzeichnet, daß der Testempfänger (BOST) weiterhin aufweist:
 - eine Kalibriereinrichtung (4-12) zur Kalibrierung des Strobesignals (DQS_{DEL}) gegenüber der Datenantwort (DQ) vom zu testenden Speicherbaustein (DUT) in einem Kalibrierzyklus des Testempfängers (BOST), wobei die Kalibriereinrichtung mittels eines den Signaleingängen (A, B) des Testempfängers (BOST) zugeführten Taktsignals (8) und eines durch einen Vergleicher (6) ermittelten Latcherfolgs der Latcheschaltung (2) für das der Latcheschaltung (2) angelegte Kalibriersignal (DQ_{KAL}) einen Wert zur Kalibrierung der Verzögerungszeit (τ) der Verzögerungseinrichtung (3) erzeugt.
12. Vorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß die Kalibriereinrichtung (4-12) des Testempfängers (BOST) weiterhin aufweist:
 - einen mit einem Programmeingang der Verzögerungseinrichtung (3) verbundenen linearen Zähler (4) zum schrittweisen Verändern der Verzögerungszeit (τ) für die Verzögerungseinrichtung (3) im Kalibrierzyklus,
 - eine Registereinheit (7), die, gesteuert vom Zähltakt des Zählers, im Kalibrierzyklus den jeweiligen vom Vergleicher (6) ermittelten Latcherfolg (oder Mißerfolg) der Latcheschaltung (2) schrittweise über mehrere Zählerpositionen des Zählers (4) registriert, und

eine Auswerteeinrichtung (12), die die von der Register-
einheit (7) registrierten Werte hinsichtlich einer op-
timalen Verzögerungszeit (τ) für die Verzögerungsein-
richtung (3) auswertet und den Zähler (4) für die Pro-
grammierung der Verzögerungszeit (τ) in der Verzöge-
rungseinrichtung (3) entsprechend für den Testzyklus
einstellt.

13. Vorrichtung nach einem der Ansprüche 10 bis 12,
dadurch gekennzeichnet, daß die Datenantwort (DQ)
vom zu testenden Speicherbaustein (DUT) einer Da-
tenantwortsignalgruppe zugehörig ist und daß eine der
Anzahl der Datenantwortsignale der Antwortsignal-
gruppe entsprechende Anzahl von Latcheschaltungen
(2) im Testempfänger (BOST) vorgesehen sind.

14. Vorrichtung nach einem der Ansprüche 10 bis 13,
dadurch gekennzeichnet, daß für jedes Datenantwortsi-
gnal (DQ) zwei Latcheschaltungen (2) jeweils für die
Einspeicherung einer steigenden und fallenden Flanke
der Datenantwort (DQ) vorgesehen sind.

15. Vorrichtung nach einem der Ansprüche 10 bis 14,
dadurch gekennzeichnet, daß der Testempfänger
(BOST) in einer von einem herkömmlichen Testequip-
ment separaten Halbleiterschaltung (Build Outside Self
Test) implementiert ist, die in unmittelbarer Nähe des
jeweiligen zu testenden Speicherbausteins (DUT), ins-
besondere DRAM-Speichers, angeordnet ist.

Hierzu 2 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

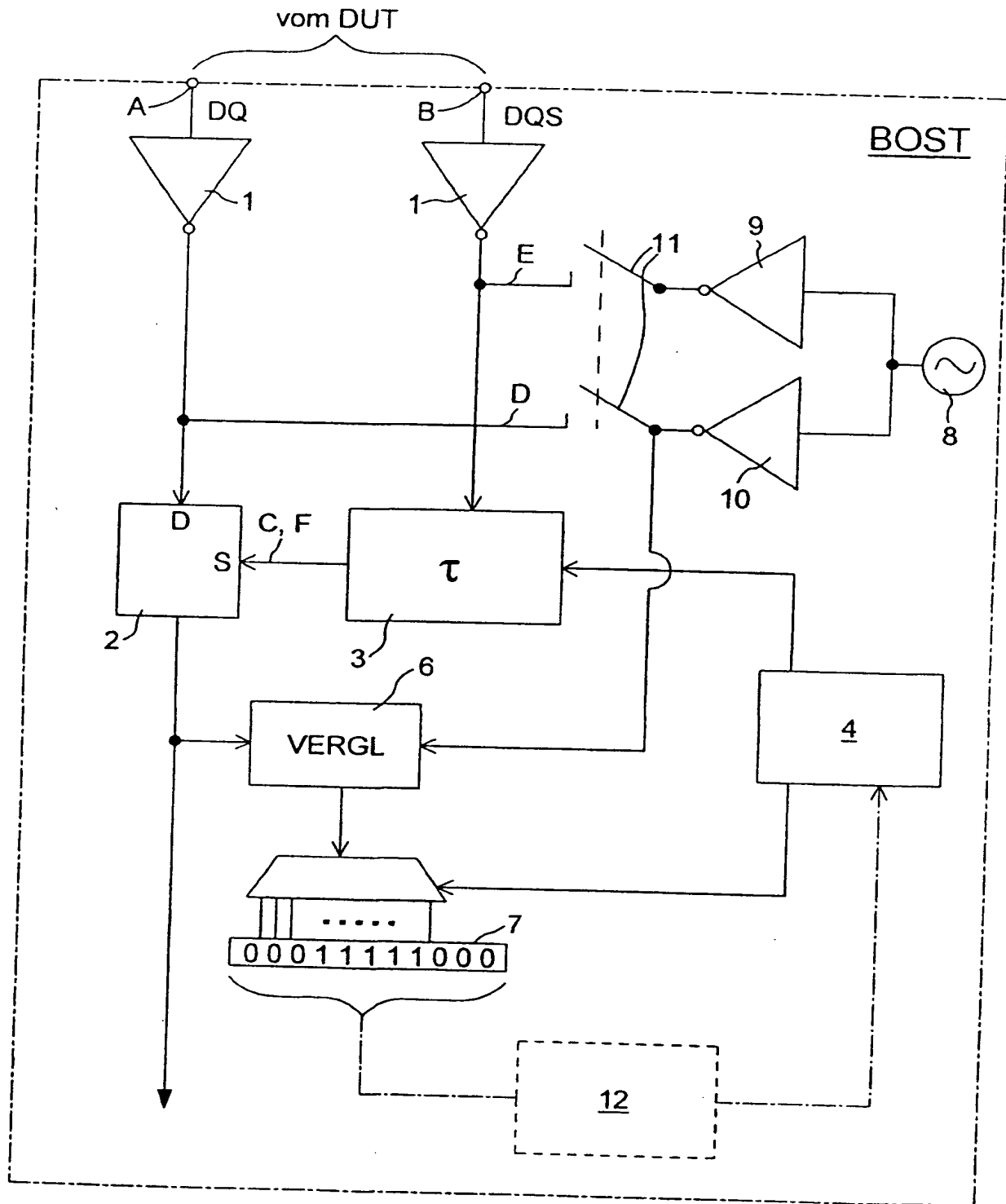


Fig. 1

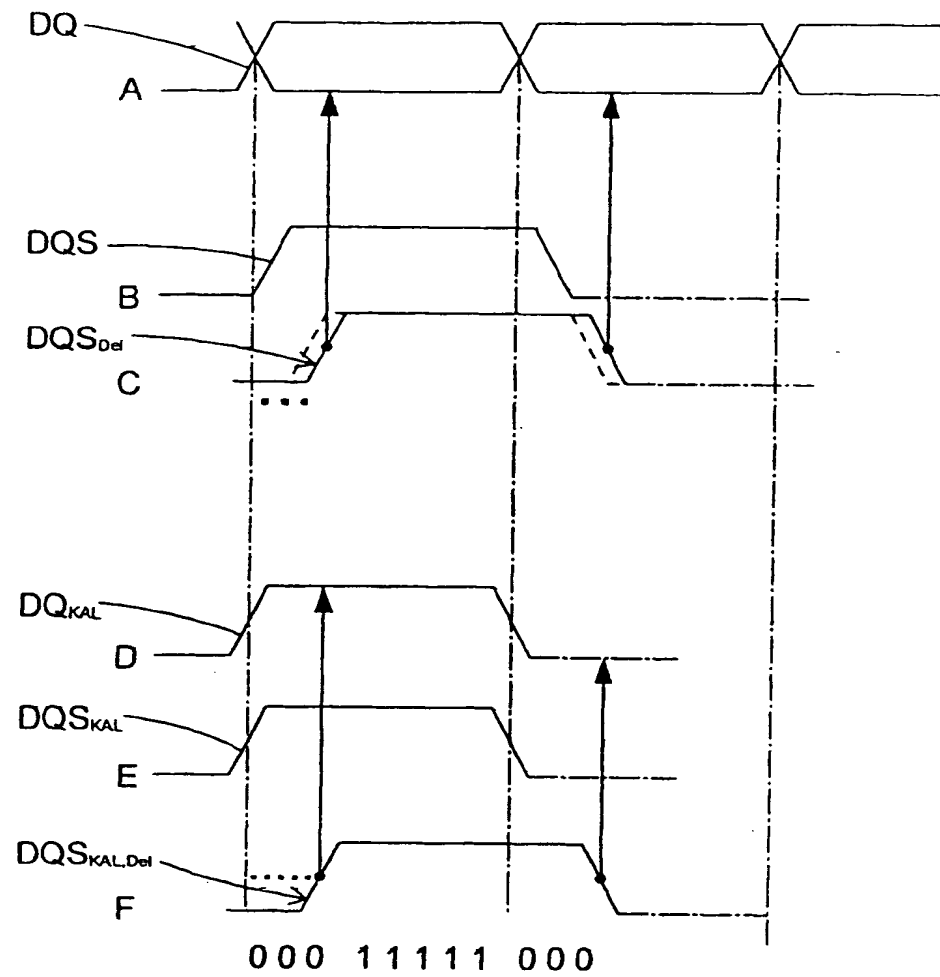


Fig. 2